

(19) Japan Patent Office (JP)

(12) Patent Application Publication (A)

(11) Patent Application Publication No. H6-177155

(43) Date of Publication: June 24, H6 (1994)

5 (51) Int.Cl.⁵ Identification Code JPO file number FI Indication of Technology

H01L 21/336

29/784

21/20 9171-4M

21/324 Z 8617-4M

10 9056-4M H01L 29/78 311Y

Request for Examination: not requested

The Number of claims: 8 (7 pages in total)

(21) Application Number: Patent Application No. H4-351438

(22) Date of Application: December 8, H4 (1992)

15 (71) Applicant: 000002185

Sony Corporation

6-7-35, Kita-Shinagawa, Shinagawa-ku, Tokyo

(72) Inventor: Hironori TSUKAMOTO

c/o Sony Corporation

20 6-7-35, Kita-Shinagawa, Shinagawa-ku, Tokyo

(74) Agent: Patent Attorney, Takahisa YAMAMOTO

(54) [Title of the Invention]

FORMATION METHOD OF SEMICONDUCTOR THIN FILM AND
25 MANUFACTURING METHOD OF MOS TYPE TRANSISTOR

(57) [Abstract]

[Object]

To provide a formation method of a semiconductor thin film from which hydrogen is not detached even by heat treatment such as activating annealing of source-drain regions and a manufacturing method of a MOS-type transistor.

30 [Structure]

A formation method of a semiconductor thin film includes the steps of (i) forming a semiconductor thin film 12 for forming a channel region and source-drain regions of a transistor on an insulating substrate 10, and (ro) subjecting this semiconductor thin film 12 to heat treatment in a gas composed of nitrogen and hydrogen. One mode of a manufacturing method of a MOS-type transistor includes steps of (i) forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate, (ro) subjecting this semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen, and (ha) forming the channel region and the source-drain regions in this semiconductor thin film.

[Scope of Claims]

[claim 1]

A formation method of a semiconductor thin film, comprising the steps of:

(i) forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate; and
(ro) subjecting this semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen.

[claim 2]

The formation method of a semiconductor thin film, according to claim 1, wherein the gas is NH₃.

[claim 3]

The formation method of a semiconductor thin film, according to claim 1 or claim 2, wherein the semiconductor thin film formed on the insulating substrate is made to have a predetermined shape after the step (i) and before the step (ro).

[claim 4]

The formation method of a semiconductor thin film transistor, according to claim 3, wherein an oxide film or an interlayer insulating layer is formed on the insulating substrate before the step (i), and the oxide film or the interlayer insulating layer is subjected to pre-heat-treatment in a gas composed of nitrogen and hydrogen.

[claim 5]

A manufacturing method of a MOS-type transistor, comprising the steps of:

- (i) forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate;
 - (ro) subjecting the semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen; and
- 5 (ha) forming the channel region and the source-drain regions in the semiconductor thin film.

[claim 6]

A manufacturing method of a MOS-type transistor, comprising the steps of:

- (i) forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate;
- (ro) forming the channel region and the source-drain regions in the semiconductor thin film; and
- (ha) subjecting the semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen.

15 [claim 7]

The manufacturing method of a MOS-type transistor, according to claim 5 or claim 6, wherein the gas is NH₃.

[claim 8]

- 20 The manufacturing method of a MOS-type transistor, according to claim 5, claim 6, or claim 7, wherein the semiconductor thin film formed on the insulating substrate is made to have a predetermined shape after the step (i) and before the step (ro).

[Detailed Description of the Invention]

[0001]

25 [Field of Industrial Application]

The present invention relates to a formation method of a semiconductor thin film and a manufacturing method of a MOS-type transistor. Such a MOS-type transistor can be used as a pixel driving element or a peripheral element of a liquid crystal display device, or a load element of a load-element-type static random access memory (SRAM).

[0002]

[Conventional Art]

A stacked-type SRAM in which a thin film transistor (hereinafter, abbreviated to a TFT) using a thin film formed from polycrystalline silicon or amorphous silicon (hereinafter, also simply referred to as a semiconductor thin film) is used for a load element has been proposed. In addition, a TFT is used for a pixel driving element or a peripheral element of a liquid crystal display device. Generally, a polycrystalline silicon thin film is used for a TFT to which high performance in an on-current characteristic, a subthreshold characteristic, an on/off current ratio, or the like is required.

[0003]

Incidentally, dangling bonds of silicon atoms exist in a semiconductor thin film at a higher density than in a single crystal silicon film and these cause leakage current at the time when a TFT is off and also cause reduction in an operation speed at that time when the TFT is on. Accordingly, reduction in the density of dangling bonds of silicon atoms is an important object in order to improve characteristics of a TFT.

[0004]

Generally, treatment called hydrogenation is performed in order to reduce dangling bonds of silicon atoms in a semiconductor thin film. This hydrogenation treatment is treatment by which hydrogen is combined with a dangling bond of a silicon atom by hydrogen doping. In particular, while a silicon-based gas including hydrogen (for example, SiH₄, Si₂H, or the like) is decomposed in plasma and a thin film formed from polycrystalline silicon or amorphous silicon is deposited, hydrogen is introduced into the thin film.

[0005]

[Problem to be solved by the Invention]

A hydrogen atom introduced into the semiconductor thin film is easily detached from a silicon atom even by annealing at a low temperature of approximately 400 °C. Therefore, the hydrogen atom combined with the dangling bond of the silicon atom is easily detached from the silicon atom in a variety of heat treatments performed after the hydrogenation treatment, for example, in an activating annealing of source-drain regions, by which resistance of source-drain regions is reduced to improve current driving capability. As a result, there is a problem in that characteristics of the TFT are greatly reduced.

[0006]

In order to counter the problem, a method can be considered in which time for the activating annealing of the source-drain regions is shortened so that the amount of hydrogen to be detached is reduced; however, since diffusion rate of hydrogen in silicon
5 is high, it is difficult to reduce the amount of hydrogen to be detached and reduction in the characteristics of the TFT cannot be effectively suppressed.

[0007]

In addition, a method can be considered in which a silicon nitride film which suppresses diffusion of hydrogen is formed on a surface of the semiconductor thin film
10 to prevent detachment of hydrogen; however, there is a problem in that in the case where an exposed semiconductor thin film region that is a surface of the semiconductor thin film on which the silicon nitride film is not formed exists, hydrogen is detached through the region.

[0008]

15 Therefore, a first object of the present invention is to provide a formation method of a semiconductor thin film from which hydrogen is not detached even by heat treatment such as activating annealing of source-drain regions.

[0009]

20 In addition, a second object of the present invention is to provide a manufacturing method of a MOS-type transistor, including the formation method of a semiconductor thin film from which hydrogen is not detached even by heat treatment such as activating annealing of source-drain regions.

[0010]

[Means for Solving the Problem]

25 In order to achieve the above first object, the formation method of a semiconductor thin film of the present invention includes the steps of (i) forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate; and (ro) subjecting this semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen.

30 [0011]

The semiconductor thin film is formed from polycrystalline silicon or amorphous silicon. The heat treatment is preferably performed in a condition of 480 ~ 1050 °C for 5 ~ 10 seconds.

[0012]

5 In the formation method of a semiconductor thin film of the present invention, the gas is preferably NH₃ or ammonia vapor. In addition, after the step (i) and before the step (ro), a step in which the semiconductor thin film formed on the insulating substrate is patterned to have a predetermined shape can be included. Further, before the step (i), a step in which an oxide film or an interlayer insulating layer is formed on
10 the insulating substrate and the oxide film or the interlayer insulating layer is subjected to pre-heat-treatment in a gas composed of nitrogen and hydrogen can be included.

[0013]

In order to achieve the above second object, a first mode of the manufacturing method of a MOS-type transistor of the present invention includes the steps of (i)
15 forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate, (ro) subjecting this semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen, and (ha) forming the channel region and the source-drain regions in the semiconductor thin film.

[0014]

20 In addition, in order to achieve the above second object, a second mode of the manufacturing method of a MOS-type transistor of the present invention includes the steps of (i) forming a semiconductor thin film for forming a channel region and source-drain regions of a transistor on an insulating substrate, (ro) forming the channel region and the source-drain regions in the semiconductor thin film, and (ha) subjecting
25 this semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen.

[0015]

In the first or second mode of the manufacturing method of a MOS-type transistor of the present invention, the gas is preferably NH₃. In addition, after the step
30 (i) and before the step (ro), a step in which the semiconductor thin film formed on the insulating substrate is patterned to have a predetermined shape can be included.

[0016]

The semiconductor thin film is formed from polycrystalline silicon or amorphous silicon. The heat treatment is preferably performed in a condition of 480 ~ 1050 °C for 5 ~ 10 seconds.

5 [0017]

As a MOS-type transistor, a pixel driving element or a peripheral element of a liquid crystal display device, a load-element-type SRAM, or a so-called MOS transistor can be exemplified.

[0018]

10 [Action]

The reasons why hydrogen is detached from the semiconductor thin film when activating annealing or the like is performed on the semiconductor thin film including hydrogen are that hydrogen in the silicon has a large diffusion coefficient even at a low temperature and that a hydrogen concentration in an atmosphere in the activating 15 annealing is lower than a hydrogen concentration in the silicon.

[0019]

On the other hand, it is known that the hydrogen in silicon nitride has a smaller diffusion coefficient than hydrogen in silicon.

[0020]

20 In the formation method of the semiconductor thin film or the manufacturing method of a MOS-type transistor of the present invention, the semiconductor thin film is subjected to heat treatment in a gas composed of nitrogen and hydrogen. As a result, a nitride film is formed on a surface of the semiconductor thin film and further, hydrogen is supplied from the gas used in the treatment to the semiconductor thin film. 25 Moreover, a hydrogen concentration in an atmosphere at the time of the heat treatment is higher than the hydrogen concentration in the silicon. Accordingly, detachment of hydrogen from the semiconductor thin film can be suppressed quite effectively.

[0021]

[Embodiment]

30 Hereinafter, the present invention is described on the basis of embodiments with reference to the drawings. Note that the drawings are typical part-cross-sectional

views for describing the formation method of a semiconductor thin film and the manufacturing method of a MOS-type transistor.

[0022]

(Embodiment-1)

5 Embodiment-1 describes an example in which first modes of the formation method of a semiconductor thin film and the manufacturing method of a MOS-type transistor of the present invention are applied to manufacturing of a top-gate-type p-channel thin film transistor. Embodiment-1 is described below with reference to FIGS. 1.

10 [0023]

[Step-100]

First, a semiconductor thin film 12 with a thickness of approximately 40 nm formed from amorphous silicon or polycrystalline silicon is deposited by a conventional CVD method on the entire surface of an insulating substrate 10 formed from quartz (see 15 FIG. 1 (A)). Note that in this semiconductor thin film 12, a channel region and source-drain regions are formed in a later step.

[0024]

[Step-110]

20 The semiconductor thin film 12 is patterned by photolithography technique and vapor phase etching technique to have a predetermined shape (see FIG. 1(B)).

[0025]

[Step-120]

25 Next, the semiconductor thin film 12 is subjected to heat treatment in a gas composed of nitrogen and hydrogen (for example an NH₃ gas). The conditions of the heat treatment can be set as follows:

NH₃ flow rate: 1 liter ~ 3 liters / minute;

temperature: 480 °C ~ 1050 °C; and

time: 10 seconds.

Through this treatment, a silicon nitride film 14 is formed on the surface including a

30 side surface of the semiconductor thin film 12 (see FIG. 1(C)). In this step, hydrogen is included in the semiconductor thin film 12. In other words, so-called hydrogen doping

is performed and therefore a dangling bond of silicon in the semiconductor thin film is combined with hydrogen. Moreover, since the silicon nitride film 14 is formed, detachment of a hydrogen atom from a silicon atom can be effectively suppressed when activating annealing is performed in a later step. In addition, since the silicon nitride film 14 is formed on the side surface of the semiconductor thin film 12, detachment of hydrogen from the side surface of the semiconductor thin film 12 can be effectively suppressed when the activating annealing is performed in the later step.

[0026]

[Step-130]

10 After that, a gate oxide film 16 formed from SiO_2 with a thickness of 30 nm is deposited on the semiconductor thin film 12, and further, an amorphous silicon layer or a polycrystalline silicon layer is deposited to a thickness of 100 nm on the gate oxide film 16. By a photolithography method or a vapor phase etching method, the amorphous silicon layer or the polycrystalline silicon layer is patterned to form a gate electrode 18 (see FIG. 1 (D)).

[0027]

[Step140]

20 Then, ion implantation is performed using a resist mask, whereby source-drain regions 20 are formed in the semiconductor thin film 12. The conditions of the ion implantation can be set as follows:

ion species: B ion;
implantation energy: 10 keV; and
dosage: $3 \times 10^{15}/\text{cm}^2$,
or

25 ion species: BF_2 ion;
implantation energy: 35 keV; and
dosage: $3 \times 10^{15}/\text{cm}^2$.

Through this implantation, a channel region is formed.

[0028]

30 [Step-150]

Next, activating annealing of the source-drain regions 20 is performed using, for example, an electric furnace. The conditions of the activating annealing can be set, for example, to:

- 5 a temperature: 900 °C; and
 time: 20 minutes.

Alternatively, activating annealing of approximately 1100 °C × 10 seconds by an RTA (rapid thermal annealing) method can be employed.

[0029]

10 Since the silicon nitride film 14 is formed on the surface including the side surface of the semiconductor thin film 12, detachment of hydrogen from the semiconductor thin film 12 by the activating annealing can be effectively suppressed.

[0030]

[Step-160]

15 After that, as an interlayer insulating layer 22, a Si₃N₄ layer and a PSG layer are formed to thicknesses of 100 nm and 150 nm to 200 nm, respectively on the entire surface. An opening portion is formed in the interlayer insulating layer 22 by an RIE method. A metal wiring material is formed on the opening portion and the interlayer insulating layer 22 by a sputtering method. Then, the metal wiring material is patterned to form a wiring layer 24 (see FIG. 1(E)). In this manner, a MOS-type 20 transistor formed of a top-gate-type thin film p-channel transistor is completed. Note that in FIG. 1 (E), the silicon nitride film 14 is not illustrated.

[0031]

(Embodiment-2)

25 Embodiment-2 describes an example in which second modes of the formation method of a semiconductor thin film and the manufacturing method of a MOS-type transistor of the present invention are applied to manufacturing of a bottom-gate-type p-channel thin film transistor. Embodiment-2 is described below with reference to FIG. 2 and FIG. 3.

[0032]

30 [Step-200]

A semiconductor thin film is formed on an insulating substrate 10. For this, first, an amorphous silicon layer or a polycrystalline silicon layer is deposited, on the basis of a conventional method, to a thickness of 100 nm on the insulating substrate 10 formed from quartz, and a gate electrode 18 is formed by photolithography technique 5 and vapor phase etching technique. Next, a gate oxide film 16 formed from SiO₂ is deposited to a thickness of 30 nm on the entire surface by a general method. In this manner, a structure illustrated in a typical part-cross-sectional view of FIG. 2(A) can be obtained.

[0033]

10 [Step-210]

Next, the gate oxide film 16 (an oxide film) is subjected to pre-heat-treatment in a gas composed of nitrogen and hydrogen (for example, an NH₃ gas) (see FIG. 2(B)). The conditions of the pre-heat-treatment can be set as follows:

15 NH₃ flow rate: 1 liter ~ 3 liters/minute;
temperature: 480 °C ~ 1050 °C; and
time: 10 seconds.

Through this treatment, a silicon nitride film 14A is formed on a surface of the oxide film, and detachment of hydrogen through the oxide film can be effectively suppressed when the semiconductor thin film is subjected to heat treatment in a later step.

20 [0034]

[Step-220]

Next, a semiconductor thin film 12 formed from amorphous silicon or 25 polycrystalline silicon is deposited on the entire surface by a conventional CVD method (see FIG. 2(C)). For example, the thickness of the semiconductor thin film 12 is set to 40 nm. Note that a channel region and source-drain regions are formed in this semiconductor thin film 12 in a later step.

[0035]

[Step-230]

The semiconductor thin film 12 is patterned by photolithography technique and 30 vapor phase etching technique to have a predetermined shape (see FIG. 2(D)).

[0036]

Then, ion implantation is performed using a resist mask, whereby source-drain regions 20 are formed in the semiconductor thin film 12 and the channel region is formed. The conditions of the ion implantation can be the same as those of Embodiment-1.

5 [0037]

[Step-250]

Next, the semiconductor thin film 12 is subjected to heat treatment in a gas composed of nitrogen and hydrogen (for example an NH₃ gas). The conditions of the heat treatment can be set as follows. Note that this heat treatment also serves as activating annealing of the source-drain regions.

10 NH₃ flow rate: 1 liter ~ 3 liters / minute;
temperature: 480 °C ~ 1050 °C; and
time: 10 seconds

Through this treatment, a silicon nitride film 14 is formed on the surface including a side surface of the semiconductor thin film 12 (see FIG. 3(A)). In this step, hydrogen is included in the semiconductor thin film 12. In other words, so-called hydrogen doping is performed and therefore a dangling bond of silicon in the semiconductor thin film is combined with hydrogen. Moreover, since the silicon nitride film 14 is formed, detachment of a hydrogen atom from a silicon atom can be effectively suppressed in this heat treatment that also serves as the activating annealing of the source-drain regions.

20 [0038]

In addition, since the silicon nitride film 14 is formed on the side surface of the semiconductor thin film 12, detachment of hydrogen from the side surface of the semiconductor thin film 12 by this heat treatment can be effectively suppressed.

25 [0039]

[Step-260]

After that, an interlayer insulating layer 22 is formed and further a wiring layer 24 is formed (see FIG. 3(B)). In this manner, a MOS-type transistor formed of a top-gate-type thin film p-channel transistor is completed. Note that in FIG. 3(B), the silicon nitride films 14 and 14A is not illustrated.

30 [0040]

As described above, the present invention is described on the basis of the preferred embodiments; however, the present invention is not limited to these embodiments. A variety of numeric values, conditions, structures of a transistor, and the like which are described in above embodiments are examples and can be changed as appropriate. Although the above embodiments are described using the insulating substrate formed of quartz as an example, a combination of a silicon substrate and an oxide film formed from SiO₂, a glass substrate, or an insulating base material formed in such a manner that elements such as a transistor and a capacitor are formed on a silicon substrate and then an interlayer insulating layer of Si₃N₄, SiO₂, PSG, or the like is formed thereover can be used.

[0041]

For example, in Embodiment-1, the semiconductor thin film 12 is formed on the insulating substrate 10. However, in some cases, a SiN film can be formed on the insulating substrate by a plasma CVD method or the like and the semiconductor thin film 12 can be formed thereover. Alternatively, in the case where the insulating substrate is formed of an oxide film or an interlayer insulating layer, the pre-heat-treatment described in Embodiment-2 is preferably performed on the oxide film or the interlayer insulating layer.

[0042]

Further, for example in Embodiment-2, the pre-heat-treatment is performed on the oxide film of the insulating substrate; instead, a SiN film may be formed on a surface of the oxide film or the like by a plasma CVD method or the like.

[0043]

In addition, in Embodiment-1 and Embodiment-2, the semiconductor thin film is formed by depositing amorphous silicon or polycrystalline silicon. Alternatively, the semiconductor thin film formed of polycrystalline silicon can be formed in such a manner that the amorphous silicon layer is deposited on the insulating substrate and then a crystal grain is grown by a solid-phase growth method in which heat treatment is performed at a temperature of 550 ~ 800 °C for 0.5 ~ 20 hours.

[0044]

Instead of formation of the amorphous silicon layer, the polycrystalline silicon layer is formed on the entire surface by a CVD method or the like, and then the

polycrystalline silicon layer is changed to the amorphous silicon layer by implantation of Si ions into the polycrystalline silicon layer, so that the amorphous silicon layer is formed on the entire surface. Then, a crystal grain is grown from the amorphous silicon layer by the above-described solid-phase growth method, so that the 5 semiconductor thin film formed from polycrystalline silicon can be formed. In this case, as the conditions of the ion implantation, the following conditions can be exemplified:

- implantation energy: 40 keV;
- dosage: $1 \times 10^{13}/\text{cm}^2$; and
- 10 ion species: Si.

[0045]

In addition, it is possible that a nucleus which is to be a seed of growth of the crystal grain is formed in the amorphous silicon layer and the crystal grain is grown form the seed by a solid-phase growth method. For example, as illustrated in FIG. 15 4(A), after a polycrystalline silicon layer 30 is formed, silicon ions are implanted with a low dosage and then a resist mask 32 is formed on the polycrystalline silicon layer 30. Then, as illustrated in FIG. 4(B), ion implantation with a high dosage is performed on the polycrystalline silicon layer which is not covered with the resist mask 32. Accordingly, the polycrystalline silicon layer which is not covered with the resist mask 20 is made amorphous (see FIG. 4(C)). This region is denoted by 34 in FIG. 4(C). Then, by using the polycrystalline silicon layer 30 which is covered with the resist mask as a nucleus, the semiconductor thin film formed from polycrystalline silicon is formed by a solid-phase growth method. Alternatively, as illustrated in FIG. 5, it is possible that a light-blocking mask 32 is formed on the amorphous silicon layer 30 by a lithography 25 method and the amorphous silicon layer 30 is irradiated with excimer laser light using the light-blocking mask 32, so that a nucleus 36 is formed.

[0046]

As a MOS-type transistor, in addition to the top-gate-type or the bottom-gate-type thin film p-channel transistor, a top-gate-type thin film n-channel 30 transistor, a bottom-gate-type thin film n-channel transistor, or the like can be exemplified. In addition, for example, the formation method of a semiconductor thin film of the present invention can also be applied to a so-called XMOS-type transistor in

which gate electrodes are formed above and below a channel region. Then, these transistors can be used for pixel driving elements or peripheral elements of a liquid crystal display device, or load elements of a load-element-type SRAM.

[0047]

5 [Effect of the Invention]

According to the formation method of a semiconductor thin film of the present invention, a semiconductor thin film is subjected to heat treatment in a gas composed of nitrogen and hydrogen. Accordingly, hydrogen can be introduced into the semiconductor thin film. In addition, a nitride film can be formed on a surface of the 10 semiconductor thin film. Moreover, since the atmosphere of the heat treatment is rich in hydrogen, detachment of hydrogen from the semiconductor thin film can be suppressed effectively. Further, according to the manufacturing method of a MOS-type transistor of the present invention, a temperature of activating annealing of source-drain regions can be increased and driving speed, a rising characteristic, and a 15 leakage current characteristic of the transistor can be improved. Still further, in the case where a load element of a SRAM is manufactured on the basis of the manufacturing method of the present invention, low consumption current can be achieved. Moreover, an α -ray characteristic is improved and reliability of the element can be increased.

20 [Brief Description of the Drawings]

[FIG. 1] are typical part-cross-sectional views of a transistor element for describing steps of Embodiment-1.

[FIG. 2] are typical part-cross-sectional views of a transistor element for describing steps of Embodiment-2.

25 [FIG. 3] are typical part-cross-sectional views of a transistor element for describing steps of Embodiment-2, subsequent to FIG. 2.

[FIG. 4] are views for describing an example of a formation method of a semiconductor thin film.

30 [FIG. 5] are views for describing an example of a formation method of a semiconductor thin film, which is different from FIG. 4.

[Explanation of Reference]

10 insulating substrate

- 12 semiconductor thin film
- 14 silicon nitride film
- 16 gate oxide film
- 18 gate electrode
- 5 20 source-drain regions
- 22 interlayer insulating layer
- 24 wiring layer

Family list

1 application(s) for: JP6177155

**1 FORMATION OF SEMICONDUCTOR THIN FILM AND
FABRICATION OF MOS TRANSISTOR**

Inventor: TSUKAMOTO HIRONORI

Applicant: SONY CORP

EC:

IPC: H01L21/20; H01L21/324; H01L21/336; (+8)

Publication JP6177155 (A) - 1994-06-24

Priority Date: 1992-12-08

Info:

Data supplied from the **espacenet** database — Worldwide

FORMATION OF SEMICONDUCTOR THIN FILM AND FABRICATION OF MOS TRANSISTOR

Publication number: JP6177155 (A)

Publication date: 1994-06-24

Inventor(s): TSUKAMOTO HIRONORI +

Applicant(s): SONY CORP +

Classification:

- international: H01L21/20; H01L21/324; H01L21/336; H01L29/78; H01L29/786; H01L21/02;
H01L29/66; (IPC1-7): H01L21/336; H01L21/20; H01L21/324; H01L29/784

- European:

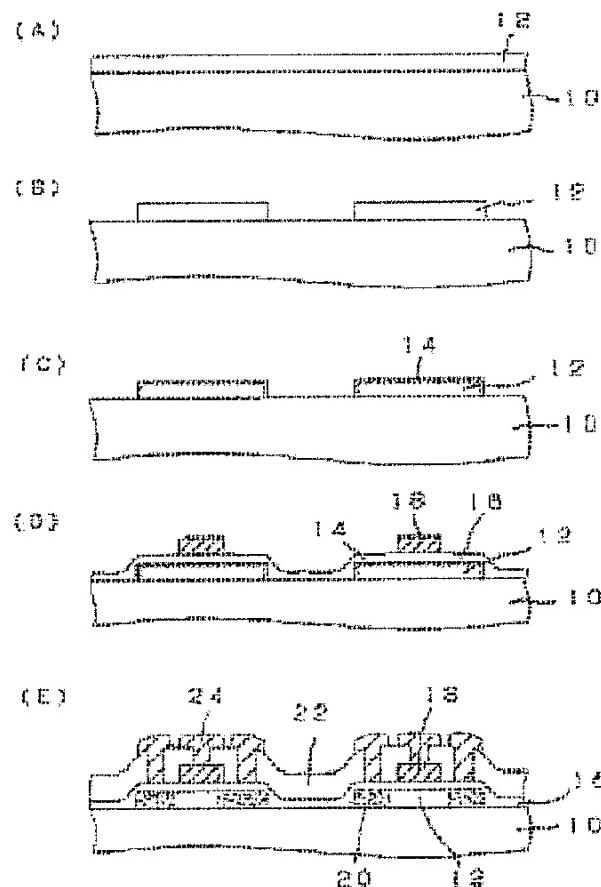
Application number: JP19920351438 19921208

Priority number(s): JP19920351438 19921208

Abstract of JP 6177155 (A)

PURPOSE: To prevent desorption of hydrogen even when a source-drain region is subjected to heat treatment, e.g. activation annealing.

CONSTITUTION: The method of forming a semiconductor thin film comprises a step for forming a semiconductor thin film 12 required for formation of a channel region and a source-drain region of a transistor on an insulating substrate 10, and a step for subjecting the semiconductor thin film 12 to heat treatment in a gas composed of nitrogen and hydrogen. One fabrication mode of MOS transistor comprises a step for forming a semiconductor thin film required for formation of a channel region and a source-drain region of a transistor on an insulating substrate, a step for subjecting the semiconductor thin film to heat treatment in a gas composed of nitrogen and hydrogen, and a step for forming a channel region and a source-drain region on the semiconductor thin film.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-177155

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/336				
29/784				
21/20		9171-4M		
21/324	Z	8617-4M		
		9056-4M	H 01 L 29/78	3 1 1 Y
				審査請求 未請求 請求項の数 8(全 7 頁)

(21)出願番号 特願平4-351438

(22)出願日 平成4年(1992)12月8日

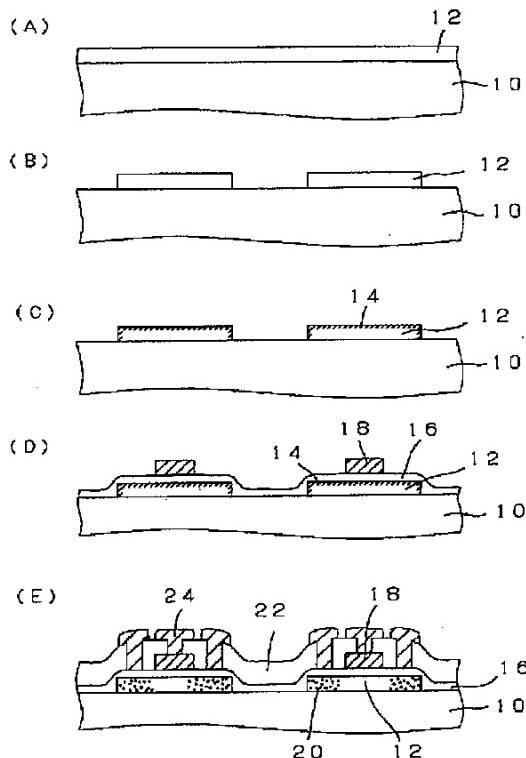
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 塚本 弘範
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 弁理士 山本 孝久

(54)【発明の名称】 半導体薄膜の形成方法及びMOS型トランジスタの作製方法

(57)【要約】

【目的】ソース・ドレイン領域の活性化アニール等の熱処理においても水素が脱離しない半導体薄膜の形成方法及びMOS型トランジスタの作製方法を提供する。

【構成】半導体薄膜の形成方法は、(イ)トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜12を絶縁基板10上に形成する工程と、(ロ)この半導体薄膜12を窒素及び水素を成分とするガス中で熱処理する工程から成る。MOS型トランジスタの作製方法の一様式は、(イ)トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、(ロ)この半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程と、(ハ)この半導体薄膜にチャネル領域及びソース・ドレイン領域を形成する工程から成る。



【特許請求の範囲】

【請求項 1】 (イ) トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、

(ロ) 該半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程、

から成ることを特徴とする半導体薄膜の形成方法。

【請求項 2】 前記ガスは、 NH_3 であることを特徴とする請求項 1 に記載の半導体薄膜の形成方法。

【請求項 3】 前記 (イ) の工程の後であって (ロ) の工程の前に、絶縁基板上に形成された半導体薄膜を所定の形状にすることを特徴とする請求項 1 又は請求項 2 に記載の半導体薄膜の形成方法。

【請求項 4】 前記 (イ) の工程の前に、絶縁基板上に酸化膜あるいは層間絶縁層を形成し、該酸化膜あるいは層間絶縁層を窒素及び水素を成分とするガス中で予備熱処理することを特徴とする請求項 3 に記載の半導体薄膜の形成方法。

【請求項 5】 (イ) トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、

(ロ) 該半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程と、

(ハ) 該半導体薄膜にチャネル領域及びソース・ドレイン領域を形成する工程、
から成ることを特徴とするMOS型トランジスタの作製方法。

【請求項 6】 (イ) トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、

(ロ) 該半導体薄膜にチャネル領域及びソース・ドレイン領域を形成する工程と、

(ハ) 該半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程、
から成ることを特徴とするMOS型トランジスタの作製方法。

【請求項 7】 前記ガスは、 NH_3 であることを特徴とする請求項 5 又は請求項 6 に記載のMOS型トランジスタの作製方法。

【請求項 8】 前記 (イ) の工程の後であって (ロ) の工程の前に、絶縁基板上に形成された半導体薄膜を所定の形状にすることを特徴とする請求項 5、請求項 6、又は請求項 7 に記載のMOS型トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体薄膜の形成方法及びMOS型トランジスタの作製方法に関する。かかるMOS型トランジスタは、液晶表示装置の画素駆動素子若しくは周辺素子又は負荷素子型のスタティックランダムアクセスメモリ (SRAM) の負荷素子として用いる

ことができる。

【0002】

【従来の技術】 多結晶シリコンあるいはアモルファス状シリコンから成る薄膜(以下、単に半導体薄膜ともいいう)を用いた薄膜トランジスタ(以下、TFTと略す)を負荷素子用いた積層型SRAMが提案されている。また、TFTは、液晶表示装置の画素駆動素子あるいは周辺素子にも使用されている。オン電流特性、サブスレッショールド特性、オン／オフ電流比等に高性能を要求されるTFTにおいては、通常、多結晶シリコン薄膜が用いられる。

【0003】 ところで、半導体薄膜中には、単結晶シリコン中よりも、シリコン原子の未結合手が高密度に存在し、それらがTFTのオフ時におけるリーク電流発生の原因となり、TFTのオン時における動作速度の低下の原因ともなっている。従って、TFTの特性を向上させるためには、シリコン原子の未結合手密度を低くすることが重要な課題である。

【0004】 半導体薄膜中のシリコン原子の未結合手を減少させるために、水素化と呼ばれる処理を通常行う。この水素化処理は、水素ドーピングによってシリコン原子の未結合手に水素を結合させる処理である。より具体的には、水素を含むシリコン系ガス(例えば SiH_4 、 Si_2H_6 等)をプラズマ中で分解して多結晶シリコンあるいはアモルファス状シリコンから成る薄膜を堆積させつつ、かかる薄膜中に水素を導入する。

【0005】

【発明が解決しようとする課題】 半導体薄膜に導入された水素原子は400°C程度の低温アニールにおいても容易にシリコン原子から脱離する。そのため、水素化処理以降の各種熱処理、例えばソース・ドレイン領域の抵抗を低下させて電流駆動能力を向上させるためのソース・ドレイン領域の活性化アニールにおいて、シリコン原子の未結合手と結合している水素原子はシリコン原子から容易に脱離してしまう。その結果、TFTの特性が著しく低下するという問題がある。

【0006】 この問題に対処するためにソース・ドレイン領域の活性化アニール時間を短くして、水素の脱離量を低減させる方法が考えられるが、シリコン中における水素の拡散速度が早いため、水素の脱離量を低減することは困難であり、TFTの特性低下を効果的に抑制することができない。

【0007】 また、水素の拡散を抑制する窒化シリコン膜を半導体薄膜表面に形成することによって、水素の脱離を防止する方法も考えられるが、半導体薄膜表面に窒化シリコン膜が形成されていない露出した半導体薄膜領域が存在している場合、かかる領域を通して水素が脱離するという問題がある。

【0008】 従って、本発明の第1の目的は、ソース・ドレイン領域の活性化アニール等の熱処理においても水

素が脱離しない半導体薄膜の形成方法を提供することにある。

【0009】更に、本発明の第2の目的は、ソース・ドレイン領域の活性化アニール等の熱処理においても水素が脱離しない半導体薄膜の形成方法を含むMOS型トランジスタの作製方法を提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体薄膜の形成方法は、上記の第1の目的を達成するために、(イ)トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、(ロ)この半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程、から成る。

【0011】半導体薄膜は、多結晶シリコンあるいは非結晶シリコンから成る。熱処理は、480～1050°C、5～10秒の条件で行うことが望ましい。

【0012】本発明の半導体薄膜の形成方法においては、前記ガスは、NH₃あるいはアンモニア水蒸気であることが好ましい。また、前記(イ)の工程の後であって(ロ)の工程の前に、絶縁基板上に形成された半導体薄膜を所定の形状にパターニングする工程を含ませることができる。更に、前記(イ)の工程の前に、絶縁基板上に酸化膜あるいは層間絶縁層を形成し、この酸化膜あるいは層間絶縁層を窒素及び水素を成分とするガス中で予備熱処理する工程を含ませることもできる。

【0013】本発明のMOS型トランジスタの作製方法の第1の態様は、上記の第2の目的を達成するために、(イ)トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、(ロ)この半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程と、(ハ)この半導体薄膜にチャネル領域及びソース・ドレイン領域を形成する工程、から成る。

【0014】更に、本発明のMOS型トランジスタの作製方法の第2の態様は、上記の第2の目的を達成するために、(イ)トランジスタのチャネル領域及びソース・ドレイン領域を形成するための半導体薄膜を絶縁基板上に形成する工程と、(ロ)この半導体薄膜にチャネル領域及びソース・ドレイン領域を形成する工程と、(ハ)この半導体薄膜を窒素及び水素を成分とするガス中で熱処理する工程、から成る。

【0015】本発明のMOS型トランジスタの作製方法の第1又は第2の態様においては、前記ガスは、NH₃であることが望ましい。また、前記(イ)の工程の後であって(ロ)の工程の前に、絶縁基板上に形成された半導体薄膜を所定の形状にパターニングする工程を含ませることができる。

【0016】半導体薄膜は、多結晶シリコンあるいは非結晶シリコンから成る。熱処理は、480～1050°C、5～10秒の条件で行うことが望ましい。

【0017】MOS型トランジスタとして、液晶表示装置の画素駆動素子若しくは周辺素子又は負荷素子型のSRAM、あるいは所謂MOSトランジスタを例示することができる。

【0018】

【作用】水素を含んだ半導体薄膜に活性化アニール処理等を施したとき半導体薄膜から水素が脱離する理由として、シリコン中の水素が低温においても大きな拡散係数を有していること、活性化アニールにおける雰囲気中の水素濃度がシリコン中の水素濃度よりも低いことが挙げられる。

【0019】一方、窒化シリコン中の水素の拡散係数はシリコン中の水素の拡散係数よりも小さいことが知られている。

【0020】本発明の半導体薄膜の形成方法あるいはMOS型トランジスタの作製方法においては、半導体薄膜を窒素及び水素を成分とするガス中で熱処理する。その結果、半導体薄膜の表面には窒化膜が形成され、更には、熱処理時に用いられるガスから水素が半導体薄膜に供給され、しかも、シリコン中の水素濃度よりも熱処理時の雰囲気の水素濃度の方が高い。これによって、半導体薄膜からの水素の脱離を極めて効果的に抑制することができる。

【0021】

【実施例】以下、図面を参照して、本発明を実施例に基づき説明する。尚、図面は、半導体薄膜の形成工程及びMOS型トランジスタの作製方法を説明するための模式的な一部断面図である。

【0022】(実施例-1) 実施例-1は、本発明の半導体薄膜の形成方法、及びMOS型トランジスタの作製方法の第1の態様を、トップゲート型p型薄膜トランジスタの製造に適用した例である。以下、図1を参照して実施例-1を説明する。

【0023】[工程-100] 先ず、石英から成る絶縁基板10の上に全面に、非晶質シリコンあるいは多結晶シリコンから成り厚さ約40nmの半導体薄膜12を従来のCVD法で堆積させる(図1の(A)参照)。尚、この半導体薄膜12に、後の工程でチャネル領域及びソース・ドレイン領域が形成される。

【0024】[工程-110] 次に、フォトリソグラフィ技術及び気相エッチング技術によって、半導体薄膜12をパターニングして、所定の形状とする(図1の(B)参照)。

【0025】[工程-120] 次いで、半導体薄膜12を窒素及び水素を成分とするガス(例えばNH₃ガス)中で熱処理する。熱処理の条件を、例えば以下のとおりとすることができる。

NH₃流量 : 1～3リットル/分

温度 : 480～1050°C

時間 : 10秒

これによって、側面を含め半導体薄膜12の表面に窒化シリコン膜14が形成される(図1の(C)参照)。この工程において、水素が半導体薄膜12中に含まれる。即ち、所謂水素ドーピングが行われ、これによって、半導体薄膜中のシリコンの未結合手に水素が結合する。しかも、窒化シリコン膜14が形成されるので、後の工程で活性化アニール処理を行ったとき、シリコン原子からの水素原子の脱離を効果的に抑制し得る。また、半導体薄膜12の側面にも窒化シリコン膜14が形成されるので、後の工程で活性化アニールを行ったとき、半導体薄膜12の側面から水素が脱離することを効果的に抑制することができる。

【0026】[工程-130]その後、半導体薄膜12の上に厚さ30nmのSiO₂から成るゲート酸化膜16を堆積させ、更に、ゲート酸化膜16の上に非晶質シリコン層又は多結晶シリコン層を100nm堆積させ、フォトリソグラフィ法及び気相エッティング法によって、非晶質シリコン層又は多結晶シリコン層をパターニングして、ゲート電極18を形成する(図1の(D)参照)。

【0027】[工程-140]そして、レジストマスクを利用して、イオン注入を行い、半導体薄膜12にソース・ドレイン領域20を形成する。イオン注入の条件を、例えば以下のとおりとすることができます。

イオン種 : Bイオン
注入エネルギー : 10 keV
ドーズ量 : $3 \times 10^{15} / \text{cm}^2$

あるいは、

イオン種 : BF₂イオン
注入エネルギー : 35 keV
ドーズ量 : $3 \times 10^{15} / \text{cm}^2$

これによって、チャネル領域も形成される。

【0028】[工程-150]次に、例えば、電気炉を用いてソース・ドレイン領域20の活性化アニールを行う。活性化アニールの条件を、例えば、

温度: 900°C

時間: 20分

とすることができる。あるいは又、RTA(Rapid Thermal Annealing)法にて、1100°C × 10秒程度の活性化アニールとすることもできる。

【0029】半導体薄膜12の側面を含む表面には窒化シリコン膜14が形成されているので、活性化アニールによって、半導体薄膜12中から水素が脱離することを効果的に抑制することができる。

【0030】[工程-160]その後、層間絶縁層22としてSi₃N₄層を100nm、PSG層を150~200nm全面に堆積させ、層間絶縁層22に開口部をRIE法にて形成し、かかる開口部及び層間絶縁層22上に金属配線材料をスパッタ法で形成し、次いで、金属配線材料をパターニングして配線層24を形成する(図1

の(E)参照)。こうして、トップゲート型薄膜p型トランジスタから成るMOS型トランジスタを完成させる。尚、図1の(E)において、窒化シリコン膜14の図示を省略した。

【0031】[実施例-2]実施例-2は、本発明の半導体薄膜の形成方法、及びMOS型トランジスタの作製方法の第2の態様を、ボトムゲート型p型薄膜トランジスタの製造に適用した例である。以下、図2及び図3を参照して実施例-2を説明する。

【0032】[工程-200]絶縁基板10上に、半導体薄膜を形成する。そのために、先ず、石英から成る絶縁基板10の上に、従来の方法に基づき、非晶質シリコン層又は多結晶シリコン層を厚さ100nm堆積させ、フォトリソグラフィ技術及び気相エッティング技術によってゲート電極18を形成する。次に、全面にSiO₂から成るゲート酸化膜16を、通常の方法にて、厚さ30nm堆積させる。こうして、図2の(A)に模式的な一部断面図で示す構造を得ることができる。

【0033】[工程-210]次いで、ゲート酸化膜16(酸化膜)を窒素及び水素を成分とするガス(例えばNH₃ガス)中で予備熱処理する(図2の(B)参照)。予備熱処理の条件を、例えば以下のとおりとすることができます。

NH₃流量 : 1~3リットル/分
温度 : 480~1050°C
時間 : 10秒

これによって、酸化膜の表面に窒化シリコン膜14Aが形成され、後の工程において、半導体薄膜を熱処理したとき、酸化膜を介して水素が半導体薄膜から脱離することを効果的に抑制し得る。

【0034】[工程-220]次に、全面に非晶質シリコンあるいは多結晶シリコンから成る半導体薄膜12を、従来のCVD法で堆積させる(図2の(C)参照)。半導体薄膜12の厚さを、例えば40nmとする。尚、この半導体薄膜12に、後の工程でチャネル領域及びソース・ドレイン領域が形成される。

【0035】[工程-230]次に、フォトリソグラフィ技術及び気相エッティング技術によって、半導体薄膜12をパターニングして、所定の形状とする(図2の(D)参照)。

【0036】[工程-240]そして、レジストマスクを利用して、イオン注入を行い、半導体薄膜12にソース・ドレイン領域20を形成し、併せて、チャネル領域も形成する。イオン注入の条件を、実施例-1と同様の条件とすることができます。

【0037】[工程-250]次いで、半導体薄膜12を窒素及び水素を成分とするガス(例えばNH₃ガス)中で熱処理する。熱処理の条件を、例えば以下のとおりとすることができます。尚、この熱処理は、ソース・ドレイン領域の活性化アニールを兼ねている。

NH₃流量 : 1~3リットル/分
温度 : 480~1050°C
時間 : 10秒

これによって、側面を含めた半導体薄膜12の表面に窒化シリコン膜14が形成される(図3の(A)参照)。この工程において、水素が半導体薄膜12中に含まれる。即ち、所謂水素ドーピングが行われ、これによって、半導体薄膜中のシリコンの未結合手に水素が結合する。しかも、窒化シリコン膜14が形成されるので、ソース・ドレイン領域の活性化アニュールを兼ねたこの熱処理において、シリコン原子からの水素原子の脱離を効果的に抑制し得る。

【0038】また、半導体薄膜12の側面にも窒化シリコン膜14が形成されるので、この熱処理によって、半導体薄膜12の側面から水素が脱離することを効果的に抑制することができる。

【0039】[工程-260]その後、層間絶縁層22を形成し、更に、配線層24を形成する(図3の(B)参照)。こうして、トップゲート型薄膜p型トランジスタから成るMOS型トランジスタを完成させる。尚、図3の(B)において、窒化膜14、14Aの図示を省略した。

【0040】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例で説明した各種の数値、条件、トランジスタの構造等は例示であり、適宜変更することができる。石英から成る絶縁基板を例にとり実施例を説明したが、シリコン基板とSiO₂から成る酸化膜の組み合わせ、あるいはガラス基板、更に、シリコン基板上にトランジスタやキャパシタ等の素子を形成した後、その上にSi₃N₄、SiO₂、PSG等の層間絶縁層を形成し、これを絶縁基材とすることもできる。

【0041】例えば、実施例-1において、絶縁基板10上に半導体薄膜12を形成したが、場合によっては、絶縁基板の上にプラズマCVD法等によってSiN膜を形成し、その上に半導体薄膜12を形成することができる。あるいは又、絶縁基板が酸化膜や層間絶縁層から構成されている場合、実施例-2で説明した予備熱処理を絶縁基板の酸化膜や層間絶縁層に施すことが望ましい。

【0042】また、例えば、実施例-2において、予備熱処理を絶縁基板の酸化膜に施したが、その代わりに、酸化膜等の表面にプラズマCVD法等によってSiN膜を形成してもよい。

【0043】更に、実施例-1及び実施例-2では、非晶質シリコンあるいは多結晶シリコンの堆積によって半導体薄膜を形成したが、非晶質シリコン層を絶縁基板上に堆積させた後550~800°Cの温度で0.5~20時間の熱処理を行う固相成長法によって結晶粒を成長させて、多結晶シリコンから成る半導体薄膜を形成することもできる。

【0044】あるいは又、非晶質シリコン層の形成の代わりに、全面に多結晶シリコン層をCVD法等で形成し、次いで、かかる多結晶シリコン層にSiイオンをイオン注入して、多結晶シリコン層を非晶質シリコン層とすることにより、全面に非晶質シリコン層を形成する。そして、前述した固相成長法によって、非晶質シリコン層から結晶粒を成長させて、多結晶シリコンから成る半導体薄膜を形成することもできる。この場合、イオン注入の条件として、以下の条件を例示することができる。

注入エネルギー : 40 keV
ドーズ量 : 1 × 10¹³ / cm²
イオン種 : Si

【0045】更に、非晶質シリコン層中に結晶粒の成長の種となる核を形成し、かかる種から結晶粒を固相成長法により成長させることもできる。例えば、図4の(A)に示すように、多結晶シリコン層30を形成した後、シリコンイオンを低ドーズ量にてイオン注入し、その後かかる多結晶シリコン層30上にレジストマスク32を形成する。そして、図4の(B)に示すように、レジストマスク32で被覆されていない多結晶シリコン層を高ドーズ量にてイオン注入する。これによって、レジストマスクで被覆されていない多結晶シリコン層を非晶質化する(図4の(C)参照)。この領域を図4の(C)では34で示す。そして、レジストマスクで被覆されていた多結晶シリコン層30を核として、固相成長法により多結晶シリコンから成る半導体薄膜を形成する。あるいは、図5に示すように、非晶質シリコン層30の上にリソグラフィー技術を用いて遮光性マスク32を形成し、かかる遮光性マスク32を用いて、非晶質シリコン層30にエキシマレーザ光を照射して核36を形成することも可能である。

【0046】MOS型トランジスタとして、トップゲート型及びボトムゲート型薄膜p型トランジスタ以外にも、トップゲート型薄膜n型トランジスタ、ボトムゲート型薄膜n型トランジスタ等を例示することができる。また、例えば、チャネル領域の上下にゲート電極を形成した所謂X莫斯型トランジスタにも本発明の半導体薄膜の成形方法を適用することができる。そして、これらのトランジスタを、液晶表示素子の画素駆動素子や周辺素子として、あるいは負荷素子型SRAMの負荷素子として用いることができる。

【0047】

【発明の効果】本発明の半導体薄膜の形成方法によれば、半導体薄膜を窒素及び水素を成分とするガス中で熱処理する。これによって、半導体薄膜中に水素を導入できる。併せて、半導体薄膜表面に窒化膜を形成することができ、しかも熱処理の雰囲気は水素リッチであるため、半導体薄膜からの水素の脱離を効果的に抑制することができる。また、本発明のMOS型トランジスタの作製方法によれば、ソース・ドレイン領域の活性化アニー

ルの温度を高くすることが可能となり、トランジスタの動作速度、立ち上がり特性、リーク電流特性の向上を図ることができる。また、本発明の作製方法に基づき S RAM の負荷素子を作製した場合、低消費電流を達成でき、しかも耐 α 線特性が向上し、素子の信頼性を高めることができる。

【図面の簡単な説明】

【図 1】 実施例-1 の工程を説明するためのトランジスタ素子の模式的な一部断面図である。

【図 2】 実施例-2 の工程を説明するためのトランジスタ素子の模式的な一部断面図である。

【図 3】 図 2 に引き続き、実施例-2 の工程を説明するためのトランジスタ素子の模式的な一部断面図である。

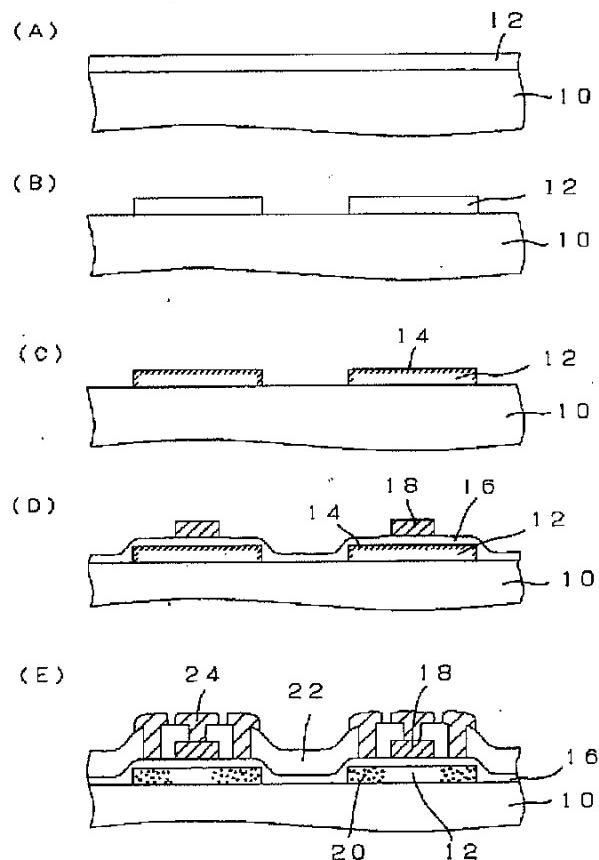
【図 4】 半導体薄膜の形成方法の一例を説明するための図である。

【図 5】 図 4 とは別の半導体薄膜の形成方法の一例を説明するための図である。

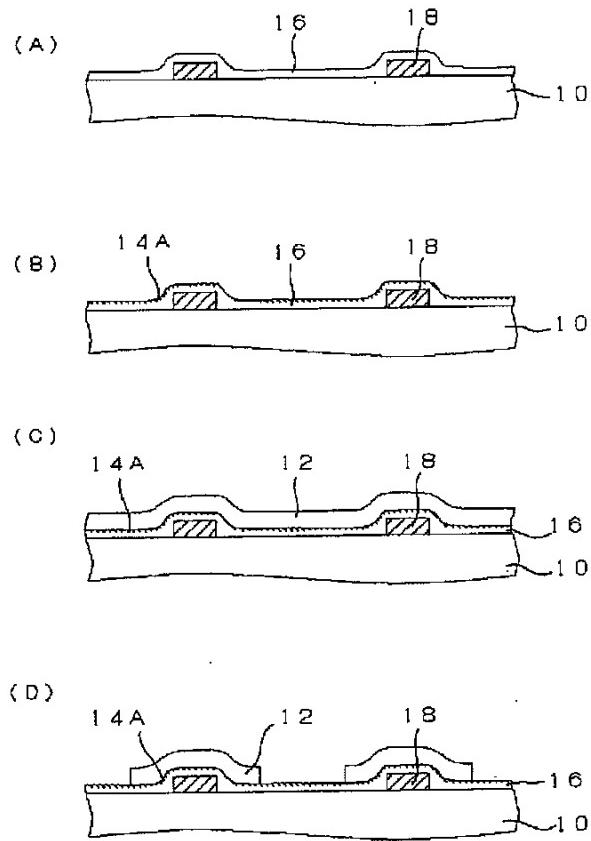
【符号の説明】

- 1 0 絶縁基板
- 1 2 半導体薄膜
- 1 4 塗化シリコン膜
- 1 6 ゲート酸化膜
- 1 8 ゲート電極
- 2 0 ソース・ドレイン領域
- 2 2 層間絶縁層
- 2 4 配線層

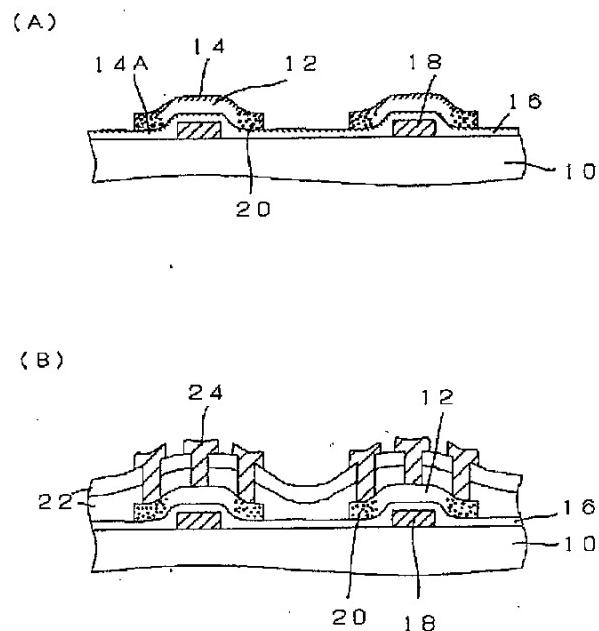
【図 1】



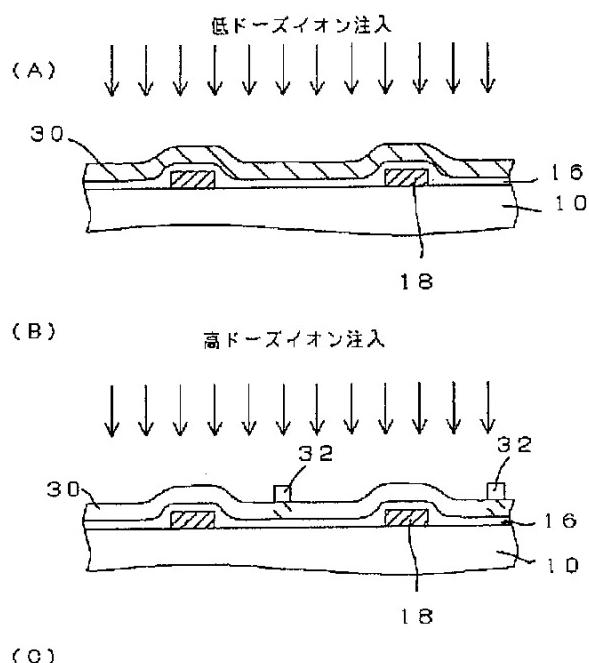
【図 2】



【図3】



【図4】



【図5】

